

## 発明の背景

本発明は、ホットキャリア現象（劣化）などに起因する大規模半導体集積回路（以下「LSI」と略す。）の経時的な特性劣化を予測し、LSIの設計時またはLSIの検査時に見込むべき適切な経時劣化マージン量を求める技術に関するものである。

LSIは、近年、さまざまな機能をワンチップ上に実現するために数千万以上のMOSトランジスタを集積するに至っている。このようなLSIにおいては、電源電圧や使用温度などの変動、特性のばらつきなどがあっても適切に動作し得るようにするために、設計段階において、種々の特性に余裕すなわちマージン量を持たせておく必要がある。以下、上記マージン量として、信号の遅延に関するものを例に挙げて説明する。

LSIは、一般的に、図1に示すように、例えばフリップフロップ21・21の間に回路22が何段か（図1ではN段）含まれるような複数の基本単位、すなわち複数の信号バス20に分解できる。上記各回路22は、多くの場合、論理回路と、これらの論理回路を接続する配線とから構成される。上記信号バス20中の一連の回路22を信号が伝搬するときの信号の遅延は、下記式（1）に示すように、所定の期間内、すなわちフリップフロップ21・21に供給されるクロック信号23のサイクルタイム（多くの場合、動作周波数またはクロック周波数の逆数）以内に収まっていることが必要とされる。

$$t_{\text{cycle}} \geq \sum t_i + K \quad (i=1 \sim N) \quad (1)$$

ここで、 $t_{\text{cycle}}$ は設計目標特性であるサイクルタイム、 $\sum t_i$ はLSIにおけるフリップフロップ21間の各回路 $i$ （22）の入出力端子間の信号伝搬遅延の総和すなわち信号バス遅延、 $K$ はフリップフロップ21のセットアップ時間やクロック信号23のスキューなどの和である。

上記 $\sum t_i$ の最大値（最悪値）は、回路動作における遅延変動のシミュレーションによって求めることもできるが、種々の遅延変動要因の影響をそれぞれ係数化したディレイティングファクタ（derating factors）を用いて

設計の省力化を図る手法が知られている。これは、より詳しくは、下記式(2)のように標準の遅延から最悪条件の遅延を簡易的に見積もって設計する方法である。

$$t_{\text{worst}} = t_{\text{typ}} \times P \times V \times T \quad (2)$$

ここで、 $t_{\text{worst}}$ は各信号パス遅延の最大値(最悪値)、 $t_{\text{typ}}$ は各信号パス遅延の標準値、 $P$ は製造ばらつきに応じた遅延変動係数、 $V$ は電源電圧変動幅に応じた遅延変動係数、 $T$ は温度変動幅に応じた遅延変動係数であり、上記 $t_{\text{worst}}$ と $t_{\text{typ}}$ との差が、遅延変動に対するマージン量となる。

上記信号パス遅延の標準値 $t_{\text{typ}}$ は、遅延変動の最大値を求めるのに比べるとかなり小規模なシミュレーションによって求めることができる。すなわち、LSIの全信号パス遅延の標準値をシミュレーションで求めれば、それらにディレイティングファクタ $P$ 、 $V$ 、 $T$ を単に掛け合わせるだけで、最悪値が効率的に求められる。このような手法は、特に、マイクロプロセッサのようなカスタム設計が多用されている品種に比べてASICなどの特定用途のLSIの設計に多く用いられている。

ところで、LSIには、他の製品と同様に寿命があり、製造後ある期間動作した後に、故障や動作不良を起こす。LSIの故障や動作不良の主な原因としては、ホットキャリア現象に起因する特性劣化や、エレクトロマイグレーションによる配線の断線、短絡などが知られている。特に、最近のLSIにおいては、製造技術の発達とともにトランジスタの微細化が急速に進み、LSI内の各部の電界が高くなりがちである。このため、ドレイン近傍に発生する高電界によってキャリアのインパクトイオン化が起こり、高エネルギーをもつホットキャリアが生じやすくなっている。このホットキャリアは、ゲート酸化膜にダメージを与え、トランジスタのしきい値電圧やドレイン電流の経時的な変化、すなわち特性の劣化を生じさせる。これは、結果的に、トランジスタの集合体であるLSIの動作周波数特性などを変化させて、いずれ誤動作に至らしめる可能性がある。そこで、LSIの設計においては、所望の製品寿命に応じた信頼性確保が不可欠であるため、通常、LSIの劣化をも考慮した設計余裕すなわち経時劣化マージン量が設けられている。

より具体的には、前記式（１）に示した信号パス遅延は、上記のようにＬＳＩの動作時間の経過を通じて一定ではなく、ホットキャリア現象などに起因して変化する。このホットキャリア現象などによる遅延変化の程度は、回路の種類、回路の動作条件（例えば電源電圧や、温度、動作回数、入力信号のスルーレート、信号遷移の向きが立上りか立下りか、出力信号負荷等）、および回路特性の製造ばらつきなどによって異なり、通常は増加する。このような経時劣化を考慮すると、ＬＳＩの製品寿命を通じての動作を保証するためには、前記式（１）を満足させるだけでは不十分で、下記式（３）を満足させる必要がある。

$$t_{\text{cycle}} \geq \sum (t_i + \Delta t_i) + K \quad (i=1 \sim N) \quad (3)$$

ここで、 $\sum \Delta t_i$ は劣化による信号パス遅延の変化分である。このように、劣化による遅延増分の影響をあらかじめ考慮し、上記式（３）を満足するように設計余裕、すなわち経時劣化マージン量を見込んで、ＬＳＩを設計する必要がある。

上記ＬＳＩの設計時に設けられる経時劣化マージン量は、小さすぎると信頼性が不足し、将来的に目標製品寿命に満たずに誤動作を起こす危険性を有することになる。一方、経時劣化マージン量が大きすぎると、ＬＳＩの信頼性が過剰になってしまう。そして、通常、ＬＳＩの信頼性と性能とはトレードオフの関係にあるため、過剰な信頼性を持たせることは、ＬＳＩの性能（例えば動作周波数）を低下させる結果になる。したがって、適切な経時劣化マージン量が設定できないと、例えばマイクロプロセッサのように、高い性能と信頼性とを共に要求されるＬＳＩを開発することが困難である。

そこで、上記のような経時劣化を考慮したＬＳＩの設計検証方法としては、例えば米国特許第５，６３４，００１号に示されるような手法が知られている。これは、米国特許第５，５３３，１９７号に示されるシミュレーション技術を用いて、設計過程におけるＬＳＩの設計情報に基づき、所望の製品寿命の期間だけ動作した後のＬＳＩの動作タイミング特性、すなわち上記式（３）に示したＬＳＩの劣化後の全ての信号パス遅延を予測し、最も遅い信号パス（クリティカルパス）の劣化後遅延がサイクルタイムに収まるように、シミュレーションで確認しながら設計するというものである。これにより、過不足のない経時劣化マージン量の折り込みを図っている。

しかしながら、上記のようなシミュレーション技術を用いてLSIの劣化後の全ての信号パス遅延を予測する方法は、計算量が多大なものとなるために、計算時間がかかりかかるうえ、大規模な装置を必要とするという問題点を有している。

一方、劣化前のマージン量について前記式(2)で説明したのと同様に、経時劣化を考慮した経時劣化マージン量についても、ディレイティングファクタを用いて簡便に求めることは考えられるかも知れないが、そのためには、適切なディレイティングファクタの値を設定する必要がある。ところが、そのようなディレイティングファクタの大きさには、劣化前のマージン量を求めるためのディレイティングファクタに比べて、回路の種類や動作条件の履歴、劣化程度のばらつきなど、より多くの種々の要因が影響するため、容易に求めることは困難であると考えられる。また、上記米国特許によって示される従来の設計方法は、LSIの設計時のシミュレーションによって全ての信号パスにおける劣化前と劣化後の両方の最悪遅延を直接求める方法であるため、ディレイティングファクタを用いる前記式(2)を前提とした設計手法への適用は考慮されていない。

上記経時劣化マージン量は、また、上記のようにLSIの設計段階での考慮が必要であることに加えて、製造段階における検査においても考慮する必要がある。すなわち、LSIの所望の製品寿命(例えば10年間)を保証するためには、単に、LSIの製造直後(出荷前)である劣化前の時点で正常に動作することを試験するだけでなく、上記製品寿命の期間にわたって正常に動作するかどうか、つまり経時劣化マージン量が十分であるかどうかを確認しなければならない。そのような確認をするためには、例えば米国特許第5,634,001号に示されるように、動作を保証する電源電圧よりも低い電圧で検査する技術が知られている。

より詳しくは、LSIの動作が可能なサイクルタイムは、通常、電源電圧によって異なり、図2に実線で示すように、電源電圧が高いと動作可能サイクルタイムは短く(動作可能周波数は高く)なり、電源電圧が低いと動作可能サイクルタイムは長く(動作可能周波数は低く)なる。また、信号パス遅延が経時劣化すると、上記電源電圧と動作可能サイクルタイムとの関係は、同図に破線で示すよう

になる。すなわち、例えば劣化前後で同一の電源電圧を印加する場合、劣化後の動作可能サイクルタイムは、劣化前よりも長くなる。

そこで、まず、ターゲットとしているLSIについて、経時劣化前 (beginning-of-life) の電源電圧と動作可能サイクルタイムとの関係 (図2の実線) を実測する。また、経時劣化のシミュレーションによって、経時劣化前に信号バス遅延が最も大きなバス (クリティカルバス) での遅延  $t_{BOL}$  と、経時劣化後 (所望の製品寿命だけ動作し続けた後: end-of-life) のクリティカルバスでの遅延  $t_{EOL}$  とを求める。次に、これらに基づいて、経時劣化前のLSIについての、上記遅延  $t_{BOL}$  および  $t_{EOL}$  にそれぞれ相当するサイクルタイムで動作可能な電源電圧  $V_{BOL}$  および  $V_{EOL}$  を求め、その差分  $\Delta V = V_{BOL} - V_{EOL}$  を計算する。そして、動作保証最低電圧  $V_{DDmin}$  よりも、上記差分  $\Delta V$  だけ低い電圧 ( $V_{DDmin} - \Delta V$ ) を劣化前のLSIに印加して、上記遅延  $t_{BOL}$  に相当するサイクルタイムで動作すれば良品、動作しなければ不良品と判定する。すなわち、経時劣化前後の遅延の増分  $\Delta t = t_{EOL} - t_{BOL}$  を電源電圧の差分  $\Delta V$  に換算することにより、経時劣化後に動作可能かどうかを推定していた。

しかしながら、上記のように、ターゲットとしているLSIの製造後に実測で求めた電源電圧差分  $\Delta V$  を用いてLSIを検査する方法は、以下のような問題点を有している。すなわち、確かに、図3に示すように、ある信号バスAがクリティカルバスであるとする、そのバスに注目して、上記のように電源電圧差分  $\Delta V$  をシミュレーションおよび実測により求め、これに基づき電源電圧を制御して、信号バスAの経年劣化に相当する見掛け上の遅延増分  $\Delta t$  を確認することは可能ではある。(それゆえ、上記文献の方法では、初期状態のLSIについて、図3(1)のように電源電圧を  $V_{DDmin}$  にして検査するのではなく、図3(2)のように ( $V_{DDmin} - \Delta V$ ) に低下させて遅延を増やすことにより、図3(3)の劣化後の遅延を模して検査している。) しかし、実際には電源電圧対遅延も動作時間対遅延も非線形関係であり、しかも、これらの関係は信号バスによって異なる。それゆえ、信号バスAで設定した電源電圧差分  $\Delta V$  を用いた検査で良品と判定されたとしても、必ずしも劣化時に正常に動作するとは限らないし、また、その逆もあり得る。具体的には、例えば図3(4)のように、初期状態で

電源電圧  $V_{DDmin}$  のときに上記信号バス A と同じ信号バス遅延である別の信号バス B について、図 3 (5) のように電源電圧 ( $V_{DDmin} - \Delta V$ ) による検査では設計目標遅延以内に入っており問題ないと判定されたとしても、実際に劣化後の遅延は図 3 (6) のように設計目標遅延を上回ることが起こる可能性がある。

以上のように、従来の L S I の設計手法は、経時劣化を考慮した経時劣化マージン量を簡便に求めることができないという問題点を有していた。また、経時劣化マージン量が必要十分かどうかを確認するために、検査時の電源電圧を調整して検査する方法、すなわち、電源電圧を低く設定して検査する検査方法では、実際の回路の劣化特性を反映できず、適切な検査をできない危険性があるという問題点を有していた。

#### 発明の概要

上記のような問題点に鑑み、本発明は、例えばディレイティングファクタを用いるなどして、経時劣化を考慮した経時劣化マージン量を簡便に求めることができる L S I の経時劣化マージン量の計算装置および計算方法の提供を目的としている。また、経時劣化を考慮した適切な検査を行うことのできる L S I の検査方法の提供を目的としている。

上記の目的を達成するために、本発明は、L S I における所定の特性について、上記特性が劣化したときでも上記 L S I が動作し得るように、設計余裕として見込むための経時劣化マージン量を計算する L S I の経時劣化マージン量の計算装置であって、上記 L S I を構成する少なくとも一部の複数の信号バスについて、上記 L S I の初期状態における上記特性の劣化前の特性を求める劣化前特性生成手段と、上記 L S I を構成する少なくとも一部の複数の信号バスについて、所定の動作条件で所定の動作期間が経過した時における上記特性の劣化後の特性を求める劣化後特性生成手段と、上記複数の信号バスのうち、上記 L S I が動作し得るために必要な特性に対する上記劣化後の特性の余裕が最も小さい信号バスにおける、上記劣化前の特性に対する上記劣化後の特性の割合である特性劣化度合を求める特性劣化度合生成手段と、上記劣化前の特性と、上記特性劣化度合とに

基づいて、実質的に経時劣化マージン量を求める経時劣化マージン量生成手段と、を備えたことを特徴としている。

これにより、一般に劣化前の特性は、劣化後の特性に比べて、求めることが比較的容易であるため、一旦、あるLSIについて特性劣化度合を求めれば、他のLSIなどについて、その都度劣化後の特性を求めることなく、容易に経時劣化マージン量を求めることができる。なお、上記のようにして経時劣化マージン量を求めるのは、他のLSIに限らず、例えば同じLSIであっても設計変更後のものや、同じLSIにおける上記劣化後の特性を求めなかった信号パスなどであってもよい。ここで、実際に求められる値は経時劣化マージンそのものでなくても、例えば基準となる特性量と経時劣化マージン量とを合計したものや逆数をとったものなど、その値を用いる設計状況などに応じた形式のものでもよく、実質的に上記のような経時劣化マージン量を含む値であれば、本発明を適用でき、同じ効果を得ることができる。

また、上記のようにして求められる経時劣化マージン量に、さらに所定の余裕を含めるようにしてもよい。すなわち、例えば上記劣化後の特性を求めるのに考慮することが困難な要因の影響に対しても信頼性を高め得るようにしたり、または信頼性の許容範囲を広げたり（ある程度の信頼性の低下を許容したり）するために、経時劣化マージン量を増減するなどしてもよい。

また、上記劣化後の特性は、必ずしも全ての信号パスについて求めるのに限らず、上記LSIを構成する複数の信号パスを複数のグループに分けたグループのうち、上記LSIが動作し得るために必要な特性に対する上記劣化前の特性の余裕が小さいグループの信号パスについて、上記劣化後の特性を求めるようにしてもよい。すなわち、劣化前の特性に十分な余裕がある信号パスを除いて、劣化後の特性を特性劣化度合を求めるために用いられる可能性が高いような信号パスについてだけ劣化後の特性を求めることにより、演算量を低減して全体の処理効率を高めることができる。

また、本発明は、例えば信号パスの遅延に対して適用することができる。この場合、例えば、上記特性劣化度合を上記特性の経時劣化に対応するディレイティングファクタとし、少なくとも、製造ばらつき、電源電圧変動、および温度変動

にそれぞれ対応するディレイティングファクタとともに上記劣化前遅延に乗ずれば、上記経時劣化マージン量を含む最大遅延を容易に算出することができる。

また、さらに、上記劣化後特性生成手段が上記劣化後の特性を求める際の上記所定の動作条件における電源電圧条件と、上記劣化前特性生成手段、および上記劣化後特性生成手段が上記劣化前の特性、および上記劣化後の特性を求めるための電源電圧条件とが、互いに異なる電源電圧条件になるようにしたり、上記劣化前特性生成手段、および上記劣化後特性生成手段は、それぞれ、上記LSIを構成する素子の特性のばらつきの範囲で、上記劣化前遅延、および上記劣化後遅延が最も大きくなる上記素子の特性（例えば上記素子の応答性が最も低い特性）を用いて、上記劣化前遅延、および上記劣化後遅延を求めるようにしたりして、LSIの信頼性をより高め得るようにしてもよい。

また、上記のように特性劣化度合を求める装置とは別に、実質的に経時劣化マージン量を求める経時劣化マージン量生成手段を備えた、LSIの経時劣化マージン量の計算装置を構成してもよい。この場合には、その装置には上記特性劣化度合を求めるための劣化後の特性を求める機能を持たせる必要がないので、規模の小さな装置で経時劣化マージン量を求めることができるようになる。

また、上記経時劣化マージン量を求める場合と同様にして求めた特性劣化度合を所定の周波数に乗じることによって得られた周波数を動作周波数として、上記LSIの動作を検査することにより、例えば劣化前後の遅延の差分を電源電圧差分に変換して低くした電源電圧で検査する場合に比べて、電源電圧対遅延が非線形関係であることなどによる誤差は生じ得ず、経時劣化マージン値の過小評価や過大評価を確実に回避することができる。

#### 図面の簡単な説明

図1は、信号パスの一般的な構成を示す回路図である。

図2は、従来の検査方法を説明するためのサイクルタイムと検査電圧との関係を示すグラフである。

図3は、電源電圧と劣化前後の遅延の例を示す説明図である。

図4は、本発明の実施の形態1に係る経時劣化マージン量の計算装置の全体構



成を示すブロック図である。

図 5 は、同、遅延劣化率予測部 101 の詳細な構成を示すブロック図である。

図 6 は、同、劣化前後の信号パス遅延および信号パス遅延劣化率の例を示す表である。

図 7 は、同、劣化前信号パス遅延と信号パス遅延劣化率との関係の例を示すグラフである。

図 8 は、同、劣化前信号パス遅延と信号パス遅延劣化率との関係の例を包絡線を用いて示すグラフである。

図 9 は、同、遅延劣化率を求める例を説明するためのグラフである。

図 10 は、同、遅延劣化率を求める他の例を説明するためのグラフである。

図 11 は、同、遅延劣化率を求めるさらに他の例を説明するためのグラフである。

図 12 は、本発明の実施の形態 2、3 に係る経時劣化マージン量の計算装置における遅延劣化率予測部 201 の詳細な構成を示すブロック図である。

図 13 は、本発明の実施の形態 2 の劣化後遅延を求めるための電源電圧の例を説明するためのグラフである。

図 14 は、同、電源電圧の例を説明するための他のグラフである。

図 15 は、LSI を構成するトランジスタの特性のばらつきの例を示すグラフである。

#### 発明の詳細な説明

以下、本発明の実施形態について、経時劣化の対象として着目する所定の特性を遅延とし、上記特性の劣化度合を遅延劣化率とする場合を例に挙げて説明する。

##### (実施の形態 1)

図 4 は本発明の実施の形態 1 に係る、LSI の設計時および検査時に用いられる経時劣化マージン量の計算装置の全体構成を示すブロック図である。図 4 の構成において、

遅延劣化率予測部 101 は、LSI 設計情報 301 に基づいて、LSI を構成

する各信号バスの劣化前（初期）の遅延（劣化前特性）を計算して劣化前信号バス遅延情報 302 を出力するとともに、各信号バスが製品寿命の目標期間にわたって動作した場合の遅延劣化率（特性劣化度合）を計算して信号バス遅延劣化率情報 303 を出力するものである。上記 LSI 設計情報 301 は、例えば図 1 に示す信号バス 20 に対応して、内蔵される論理回路の種類、論理回路の接続関係を表すネットリスト、論理回路の接続配線の寄生素子情報、マスク形状情報、製造情報、動作条件（電源電圧、温度、動作頻度、および動作周波数など）、および製品寿命目標などの LSI の設計に必要な全ての情報を含むものである。上記 LSI 設計情報 301 および以下の各情報は、図示しない記憶部に保持される。

遅延対遅延劣化率解析部 102 は、上記劣化前信号バス遅延情報 302 と信号バス遅延劣化率情報 303 とを読み込み、遅延と遅延劣化率との相関関係に関する情報である遅延対遅延劣化率関係情報 304 を出力するものである。

遅延劣化率抽出部 103（特性劣化度合生成手段）は、上記遅延対遅延劣化率関係情報 304 に基づいて、後述する所定の信号バスの遅延劣化率を抽出し、遅延劣化マージン 305 として出力するものである。

ディレイティングファクタを用いた遅延劣化マージン量計算部 104（経時劣化マージン量生成手段）は、上記遅延劣化マージン 305 をディレイティングファクタ G として、遅延劣化マージン量を計算するものである。

検査用動作周波数計算部 105 は、遅延劣化マージン量計算部 104 と同様に上記遅延劣化マージン 305 をディレイティングファクタ G として、検査用動作周波数を計算するものである。

また、上記遅延劣化率予測部 101 は、より詳しくは例えば図 5 に示すように、劣化前信号バス遅延情報 302 を出力する信号バス遅延算出部 111a（劣化前特性生成手段）、およびトランジスタ等の単位回路が受けるストレスを算出する単位回路ストレス算出部 111b を備えた劣化前回路解析部 111 と、上記単位回路ストレス算出部 111b から出力された情報に基づいて電流対電圧特性を解析する単位回路劣化度合解析部 112 と、その解析結果に基づいて劣化後の遅延を求める劣化後回路解析部 113（劣化後特性生成手段）と、求められた劣化後の遅延と上記信号バス遅延算出部 111a から出力された劣化前信号バス遅延

情報 3 0 2 とに基づいて、信号バス遅延劣化率情報 3 0 3 を出力する遅延劣化率算出部 1 1 4（特性劣化度合生成手段）とが設けられて構成されている。

次に、上記のように構成された経時劣化マージン量の計算装置の動作を説明する。この計算装置の動作には、大きく分けて、あらかじめ、ある L S I について解析し、遅延劣化マージン 3 0 5 を求める動作と、求められた遅延劣化マージン 3 0 5 を用いて、設計対象の他の L S I（または設計変更した場合の上記 L S I）について遅延劣化マージン量と検査用動作周波数とを求める動作とがある。前者の動作は、遅延劣化率予測部 1 0 1 と、遅延対遅延劣化率解析部 1 0 2 と、遅延劣化率抽出部 1 0 3 とによって行われる。また、後者の動作は、遅延劣化率予測部 1 0 1 の一部（信号バス遅延算出部 1 1 1 a）と、遅延劣化マージン量計算部 1 0 4 と、検査用動作周波数計算部 1 0 5 と（図 4 において破線で囲んだ構成要素）によって行われる。以下、上記 2 つの動作について具体的に説明する。

#### （遅延劣化マージンを求める動作）

遅延劣化率予測部 1 0 1 は、例えば米国特許 5 9 7 4 2 4 7 や特開平 1 0 - 1 2 4 5 6 5 に示されたゲートレベルタイミング劣化シミュレーション方法や、B T A B E R T User's Manual (B T A Technology Inc., USA)、米国特許 5 5 3 3 1 9 7 などに示されたトランジスタレベル信頼性シミュレーション方法に基づいて、L S I に含まれる各信号バスの劣化前の遅延を計算するとともに、各信号バスが製品寿命の目標期間にわたって所定の動作条件（電源電圧や動作周波数など）で動作した場合の遅延劣化率を計算する。

より詳しくは、遅延劣化率予測部 1 0 1 の劣化前回路解析部 1 1 1 では、信号バス遅延算出部 1 1 1 a が各信号バスの劣化前の特性を解析して劣化前の信号バス遅延を計算し、劣化前信号バス遅延情報 3 0 2 として出力する。また、単位回路ストレス算出部 1 1 1 b は、信号バス遅延算出部 1 1 1 a と同様に各信号バスの劣化前の特性を解析した後、各信号バスに含まれる単位回路、例えば各々のトランジスタが受けるストレスをバイアス条件等から計算する。次に、単位回路劣化度合解析部 1 1 2 は、上記ストレスに応じたトランジスタの電圧対電流特性の

劣化程度を解析する。劣化後回路解析部 1 1 3 は、劣化したトランジスタの電圧対電流特性を用いて劣化後の回路特性を解析し、劣化後の信号パス遅延を求める。遅延劣化率算出部 1 1 4 は、上記劣化後の信号パス遅延と、前記信号パス遅延算出部 1 1 1 a から出力された劣化前信号パス遅延情報 3 0 2 とに基づいて遅延劣化率を計算し、信号パス遅延劣化率情報 3 0 3 として出力する。この遅延劣化率は、次式（４）で定義される。

$$R = t_{aged} / t_{fresh} \quad (4)$$

ここで、 $t_{fresh}$ 、 $t_{aged}$ はそれぞれ劣化前と劣化後の信号パス遅延である。上記劣化前の信号パス遅延、劣化後の信号パス遅延、および信号パス遅延劣化率の具体例（例えば信号パス 1 ～ M についてのもの）を図 6 にテーブル形式で示す。

次に、遅延対遅延劣化率解析部 1 0 2 は、上記劣化前信号パス遅延情報 3 0 2 と信号パス遅延劣化率情報 3 0 3 との相関関係を求め、遅延対遅延劣化率関係情報 3 0 4 を出力する。上記遅延対遅延劣化率関係情報 3 0 4 の一例を図 7 にグラフ形式で示す。同図中の各プロットは、それぞれ 1 つの信号パスについての劣化前の信号パス遅延と信号パス遅延劣化率との関係を表している。本発明者らが実際に種々の L S I について上記計算を行ったところ、概ね、同図に示すように劣化前の信号パス遅延が大きいほど、信号パス遅延劣化率は小さくなる傾向があることが判った。このような相関関係が得られるのは、次のような理由によると考えられる。すなわち、遅延の大きい信号パスは、一般に論理回路段数が多いことを意味し、この場合、通常、各論理回路はバイアス電圧を高くするなどして応答性が高くなるように、すなわち出力信号波形の変化が比較的急峻になるように構成される。一方、論理回路段数が少ない信号パスでは、元々遅延が小さいため、特に応答性を高める必要はあまりなく、それゆえ、出力信号波形は比較的なまったものとなる。ところで、ホットキャリア劣化は、論理回路の入力波形がなまっているほど大きくなることが知られている。これらを考慮すると、結果的に上記相関関係が図 7 に示すような分布になることは定性的に説明付けることができる。

ここで、説明の便宜上、図 7 を簡単化するために、信号パス遅延劣化率の上限の包絡線（envelope）を示すと図 8 のようになり、信号パス遅延劣化率

は同図の斜線の領域に分布していることになる。この分布における劣化前の信号パス遅延が最も大きい、すなわち設計目標遅延（例えばサイクルタイム：この例では5 [ns]）近傍にプロットされる信号パスがクリティカルパスである。

遅延劣化率抽出部103は、遅延対遅延劣化率関係情報304に基づいて、図8に記号Pで示すポイントの信号パス遅延劣化率 $\alpha$ を抽出し、遅延劣化マージン305として出力する。ここで、図8では、信号パス遅延劣化率自体は上記ポイントPよりも大きな信号パスが存在するが、これらの信号パスは、劣化前の信号パス遅延が小さいため劣化後の信号パス遅延（劣化前の信号パス遅延×信号パス遅延劣化率）も小さく、動作上十分余裕があるので無視できる。

（遅延劣化マージン量および検査用動作周波数を求める動作）

上記のようにして一旦遅延劣化マージン305が求められた後は、これをディレイティングファクタGとして用いて、他のLSIを設計する際や同じLSIを設計変更した際の遅延劣化マージン量、および検査のための動作周波数を簡易に算出することができる。すなわち、まず、遅延劣化率予測部101における劣化前回路解析部111の信号パス遅延算出部111aが、上記遅延劣化マージンを求める動作で説明したのと同様に、LSIに含まれる各信号パスの劣化前の特性を解析して劣化前の信号パス遅延を計算し、劣化前信号パス遅延情報302として出力する。そこで、遅延劣化マージン量計算部104は、上記劣化前信号パス遅延情報302と、ディレイティングファクタGとしての遅延劣化マージン305とに基づいて、劣化後の最悪条件の遅延を下記式（5）によって求める。そして、この最悪条件の遅延が設計目標遅延に収まるよう設計することにより、寿命期間を通じて動作を保証し得るLSIを製作することができる。

$$t_{worst} = t_{typ} \times P \times V \times T \times G \quad (5)$$

ここで、 $t_{worst}$ は各信号パス遅延の最大値（最悪値）、 $t_{typ}$ は各信号パス遅延の標準値（劣化前信号パス遅延情報302）、Pは製造ばらつきに応じた遅延変動係数、Vは電源電圧変動幅に応じた遅延変動係数、Tは温度変動幅に応じた遅延変動係数であり、上記Gをかけた場合とかけない場合との差、すなわち、 $t_{typ} \times P \times V \times T \times (G - 1)$ が、遅延劣化マージン量となる。

また、検査用動作周波数  $f_{aged}$  については、検査用動作周波数計算部 105 が、下記式 (6) のように、目標とする動作周波数  $f_{fresh}$  にディレイティングファクタ  $G$  をかけることによって求める。

$$f_{aged} = f_{fresh} \times G \quad (6)$$

上記のようにして求めた検査用動作周波数を LSI に供給して適正に動作するかどうかを検査することにより、正確な検査を行うことができる。すなわち、ある動作周波数（サイクルタイム）に対して遅延が劣化により  $G$  倍になって余裕が減少するということと、劣化前の遅延に対して動作周波数が  $G$  倍（サイクルタイムが  $1/G$  倍）になって余裕が減少するということとは等価なので、従来のように劣化前後の遅延の差分を電源電圧差分に変換して低くした電源電圧で検査する場合に比べて、電源電圧対遅延が非線形関係であることなどによる誤差は生じ得ず、経時劣化マージン値の過小評価や過大評価を確実に回避することができる。

上記のように、本実施の形態の経時劣化マージン量の計算装置によれば、ディレイティングファクタを用いた設計手法を適用して、経時劣化マージン量（またはこれに直接対応する劣化後の信号パス遅延の最大値など）を容易に求めることができるとともに、適切な検査用動作周波数を用いて正確な検査を行うことができる。

なお、上記の例では、クリティカルパスにおける最大の信号パス遅延劣化率（図 8 のポイント P の信号パス遅延劣化率  $\alpha$ ）を遅延劣化マージン 305 とする例を示したが、さらに信頼性を高めるために、所定の 1 より大きな倍率をかけるなどした値（例えば図 9 に記号 Q で示すポイントの信号パス遅延劣化率  $\beta$ ）を用いるようにしてもよい。すなわち、遅延劣化の程度は、例えば、回路を構成するトランジスタの特性や配線の寄生容量などによって生じる信号のオーバシュートの影響によっても異なることがある。このような遅延劣化の程度を異ならせる要因を考慮して安全率を高めるために、経験的な統計値などに基づいて、上記のような余裕率をかけるなどしてもよい。また、逆に、信頼性の許容範囲を広げて、より小さな値を用いるようにしてもよい。このように遅延劣化マージン 305 の値を増減させる場合でも、その基準となる値が上記のように適切に求められたもの

なので、得られるLSIの信頼性は確率的に管理されたものとする事ができる。

また、劣化前の信号パス遅延と信号パス遅延劣化率のシミュレーション結果に基づく図8の包絡線が劣化前の信号パス遅延に対して単調減少している例を示したが、図10に示すように包絡線に凹凸があるような場合でも、同様に適切な遅延劣化マージン量を求めることはできる。この場合には、例えば同図に記号Rで示すポイントのように、劣化後の信号パス遅延が最も大きくなるポイントの遅延劣化率 $\gamma$ を用いるようにすればよい。

また、劣化前の信号パス遅延、および信号パス遅延劣化率は、図8の包絡線が劣化前の信号パス遅延に対して単調減少することを確認するなどのために、一旦全ての信号パスについて計算するようにしてもよいが、すでに一度計算している場合などで、単調減少することがあらかじめわかっているような場合は、常に設計目標遅延近辺の信号パスが、必要な信号パス遅延劣化率を与えるため、クリティカルパス付近の信号パスだけ計算して処理を効率化するようにしてもよい。

また、あるLSIを設計する場合に、別の複数のLSIから求めた遅延劣化マージン305を参照するようにしてもよい。この場合、図11に示すように、各LSIから図8と同様にして求めた包絡線A、B、Cに基づいて、例えば劣化前の信号パス遅延が最大となる信号パスの信号パス遅延劣化率のうち最も大きな信号パス遅延劣化率( $\alpha$ :ポイントP)を代表させて遅延劣化マージンとして用いるようにすればよい。

また、上記の例では経時劣化の対象として着目する特性を遅延とした例を示したが、その他、例えば周波数特性など、種々の経時劣化する特性に適用してもよい。例えば周波数特性に適用する場合には、図7の横軸を(1/周波数)で表せば、同様に扱えることは明らかである。

なお、上記の例では、説明の便宜上、一旦、図7に示すような劣化前信号パス遅延と信号パス遅延劣化率との関係を求める例を示したが、実際には、劣化後回路解析部113によって求められた劣化後の信号パス遅延のうち最大のものを抽出し、これについての信号パス遅延劣化率を遅延劣化マージン305とするようにしてもよい(特性劣化度合生成手段)。また、劣化後の信号パス遅延は、全て

の信号パスについて求めず、信号パスをグループ化して、劣化後の信号パス遅延が最大になる可能性のある、劣化前信号パス遅延が大きい信号パス（劣化前の余裕が小さい信号パス）についてだけ劣化後の信号パス遅延を求めるようにしてもよい。すなわち、一般に、劣化前信号パス遅延の算出に比べて劣化後信号パス遅延の算出は回路動作に応じた繰り返しのために大規模な演算となりがちであるが、上記のような絞り込みをすることによって処理効率を向上させることができる。

また、上記式（５）において、ディレイティングファクタに回路遅延用と配線遅延用の区別を設けて計算するようにしてもよい。すなわち、一般に遅延は配線自体による遅延とその他の素子等による遅延との合計となるので、それぞれについて別個のディレイティングファクタを用いて最大遅延を求めるようにしてもよく、その場合には、配線自体による遅延については劣化を考慮しないようにしてもよい。

また、あらかじめ求められた遅延劣化マージンに基づいて、遅延劣化マージン量、または検査用動作周波数を求めるためには、図４において破線で囲んだ構成要素だけを含む装置を構成するなどしてもよい。すなわち、小規模な構成で上記遅延劣化マージンが与えられることによって簡易かつ高速に経時劣化マージン量を求めることのできる装置を構成することができる。

## （実施の形態２）

L S I の電源電圧は、出荷後の初期状態から製品寿命までの動作期間中、その仕様範囲内でさまざまな値を取り得るものであり、ホットキャリア劣化の程度は上記動作期間中に印加される電源電圧に応じて異なったものとなる。そこで、実施の形態２として、劣化前信号パス遅延情報 302、および信号パス遅延劣化率情報 303 を求める際に、動作条件としての電源電圧を適切に設定することによって、L S I の信頼性をより高くするための経時劣化マージン量を求めることができる経時劣化マージン量の計算装置について説明する。なお、本実施の形態において、前記実施の形態１と同様の機能を有する構成要素については同一の符号を付して説明を省略する。



この実施の形態 2 の経時劣化マージン量の計算装置は、前記実施の形態 1（図 4、5）と比べて、図 12 に示すように、遅延劣化率予測部 101 に代えて遅延劣化率予測部 201 を備えている点が異なる。この遅延劣化率予測部 201 を構成する劣化前回路解析部 211、単位回路劣化度合解析部 212、および劣化後回路解析部 213 は、それぞれ概ね実施の形態 1 の遅延劣化率予測部 101 を構成するものと同様の機能を有しているが、劣化前信号パス遅延情報 302 および信号パス遅延劣化率情報 303 を求める際に用いる電源電圧が  $V_{DDmin}$  または  $V_{DDmax}$  である点が異なる。すなわち、劣化前回路解析部 211 の信号パス遅延算出部 211a、および劣化後回路解析部 213 は、最低電源電圧  $V_{DDmin}$  を用いて、劣化前信号パス遅延情報 302 を求めるようになっている。また、単位回路ストレス算出部 211b、および単位回路劣化度合解析部 212 は、最高電源電圧  $V_{DDmax}$  を用いて、各信号パスの劣化状態を解析するようになっている。

上記のように電源電圧を設定することは、図 13 に示すように、製品寿命に至るまでの間に動作させる電圧として、信号パス遅延劣化率情報 303 が最も大きくなる最高電源電圧  $V_{DDmax}$ 、および劣化前信号パス遅延が最も大きくなる最低電源電圧  $V_{DDmin}$  を用いて遅延劣化マージン量を求めることになる。より具体的には、図 14 に示すように、劣化後の信号パス遅延は、劣化する際に印加された電源電圧が高いほど大きくなり、また、劣化の前後を問わず、電源電圧が低いほど信号パス遅延は大きくなるので（例えば  $b > a$ ）、最高電源電圧  $V_{DDmax}$  を印加して動作させることにより劣化した LSI に、最低電源電圧  $V_{DDmin}$  を印加して動作させた時の信号パス遅延（同図の c）が最も大きな信号パス遅延となり、劣化後遅延の最悪値が求められる。この値は、単に全ての場合において最高電源電圧  $V_{DDmax}$  を用いる場合よりも大きく、かつ、実際に起こり得る値である。

それゆえ、上記のように図 4 の遅延劣化率予測部 101 に代えて遅延劣化率予測部 201 を備えた経時劣化マージン量の計算装置を用い、電源電圧を上記のように設定することによって、最悪の条件での遅延劣化マージン量および検査用動作周波数を簡易に決定でき、したがって、より高い信頼性の LSI を得ることが

できる。

### (実施の形態3)

トランジスタの特性は、一般に製造工程でのさまざまな要因によりばらつき、ホットキャリア劣化の影響もばらつく。具体的には、ドレイン電流および応答性が代表的にばらつく特性である。そこで、実施の形態3として、トランジスタの特性のばらつきも考慮することによって、すなわち製造ばらつき条件の設定を適切にすることによって、さらにLSIの信頼性を高くするための経時劣化マージン量を求め得る経時劣化マージン量の計算装置について説明する。

この実施の形態3の経時劣化マージン量の計算装置は、概ね前記実施の形態2と同じ構成を有している(図4の遅延劣化率予測部101に代えて図12の遅延劣化率予測部201を備えている。)。ただし、劣化前回路解析部211、単位回路劣化度合解析部212、および劣化後回路解析部213は、劣化前信号パス遅延情報302および信号パス遅延劣化率情報303を求める際に、実施の形態2で説明した電源電圧の設定を用いるとともに、トランジスタの特性について、そのばらつきの範囲で信号パス遅延が最も大きくなる特性を用いるようになっている。すなわち、例えばMOSトランジスタのドレイン電流の大きさ、および応答性は、pチャネル、nチャネルともに所定の範囲でばらつくため、その特性の組み合わせは、図15の白丸(コーナー条件)を結ぶ実線で囲まれた範囲になる。(上記コーナー条件は、具体的には例えばシミュレーションの際に用いるSPICEパラメータやBTABERTパラメータ(BTABERT User's Manual, BTA Technology Inc., USA)によって表すことができる。)また、pチャネルMOSトランジスタの特性の劣化はnチャネルMOSトランジスタに比べて一般に小さい一方、nチャネルMOSトランジスタの特性は同図に黒丸で示すように劣化するので、特性の組み合わせは2点鎖線で囲まれた範囲になる。そこで、劣化前回路解析部211、単位回路劣化度合解析部212、および劣化後回路解析部213で行われるシミュレーションにおいて図15に記号Sで示すコーナー条件を用いたばらつき条件を設定することによって、トランジスタの特性のばらつきを考慮したうえで、実際の動作上起こ

り得る最悪の条件での遅延劣化マージン量および検査用動作周波数を簡易に決定でき、したがって、図15の2点鎖線で囲まれた範囲でトランジスタの特性変動があっても確実に動作するような、より信頼性の高いLSIを得ることができる。

なお、例えばトランジスタの特性のばらつきの影響の方が電源電圧の設定の影響よりも大きい場合などには、電源電圧の設定は標準値にして、ばらつきの影響だけを考慮するようにしてもよい。

以上のように本発明によると、一旦、あるLSIについて特性劣化度合を求めておいて、他のLSIなどについて、その都度劣化後の特性を求めることなく、容易に経時劣化マージン量を求めることができる。すなわち、例えばディレイテイングファクタを用いた設計手法に遅延の経時劣化への考慮を取り入れることができ、劣化後の遅延を容易に求めることができるという効果を奏する。

以上の各実施の形態は、あくまでも一例を紹介、説明したものであり、これだけに限定するものではない。すなわち、本発明の実質的な範囲においての種々の別の実施形態や、本実施形態からの変更もあり得る。

クレーム

1. L S Iにおける所定の特性について、上記特性が劣化したときでも上記 L S I が動作し得るように、設計余裕として見込むための経時劣化マージン量を計算する L S I の経時劣化マージン量の計算装置であって、

上記 L S I を構成する少なくとも一部の複数の信号パスについて、上記 L S I の初期状態における上記特性の劣化前の特性を求める劣化前特性生成手段と、

上記 L S I を構成する少なくとも一部の複数の信号パスについて、所定の動作条件で所定の動作期間が経過した時における上記特性の劣化後の特性を求める劣化後特性生成手段と、

上記複数の信号パスのうち、上記 L S I が動作し得るために必要な特性に対する上記劣化後の特性の余裕が最も小さい信号パスにおける、上記劣化前の特性に対する上記劣化後の特性の割合である特性劣化度合を求める特性劣化度合生成手段と、

上記劣化前の特性と、上記特性劣化度合とに基づいて、実質的に経時劣化マージン量を求める経時劣化マージン量生成手段と、

を備えたことを特徴とする L S I の経時劣化マージン量の計算装置。

2. 請求項 1 の L S I の経時劣化マージン量の計算装置であって、

上記経時劣化マージン量生成手段は、上記劣化前の特性と上記特性劣化度合との積と、上記劣化前の特性との差である経時劣化マージン量を求めることを特徴とする L S I の経時劣化マージン量の計算装置。

3. 請求項 1 の L S I の経時劣化マージン量の計算装置であって、

上記経時劣化マージン量生成手段は、上記劣化前の特性と上記特性劣化度合との積を求めることにより、実質的に経時劣化マージン量を求めることを特徴とする L S I の経時劣化マージン量の計算装置。

4. 請求項 1 の L S I の経時劣化マージン量の計算装置であって、

上記経時劣化マージン量生成手段は、上記劣化前の特性と、上記特性劣化度合

とともに、さらに、所定の余裕率に基づいて、実質的に経時劣化マージン量を求めることを特徴とするLSIの経時劣化マージン量の計算装置。

5. 請求項1のLSIの経時劣化マージン量の計算装置であって、

上記劣化後特性生成手段は、上記LSIを構成する複数の信号バスを複数のグループに分けたグループのうち、上記LSIが動作し得るために必要な特性に対する上記劣化前の特性の余裕が小さいグループの信号バスについて、上記劣化後の特性を求めることを特徴とするLSIの経時劣化マージン量の計算装置。

6. 請求項1のLSIの経時劣化マージン量の計算装置であって、

上記経時劣化マージン量生成手段は、上記特性劣化度合を求めた上記信号バスとは異なる信号バスについて、上記実質的な経時劣化マージン量を求めることを特徴とするLSIの経時劣化マージン量の計算装置。

7. 請求項1のLSIの経時劣化マージン量の計算装置であって、

上記劣化前の特性は、劣化前遅延であり、

上記劣化後の特性は、劣化後遅延であり、

上記特性劣化度合は、遅延劣化率であり、

上記LSIが動作し得るために必要な特性は、設計目標遅延であり、

上記経時劣化マージン量は、遅延劣化マージン量である

ことを特徴とするLSIの経時劣化マージン量の計算装置。

8. 請求項7のLSIの経時劣化マージン量の計算装置であって、

上記経時劣化マージン量生成手段は、上記特性劣化度合を上記特性の経時劣化に対応するディレイティングファクタとし、少なくとも、製造ばらつき、電源電圧変動、および温度変動にそれぞれ対応するディレイティングファクタとともに上記劣化前遅延に乗じて、上記経時劣化マージン量を含む最大遅延を算出するように構成されていることを特徴とするLSIの経時劣化マージン量の計算装置。

9. 請求項7のLSIの経時劣化マージン量の計算装置であって、

上記劣化後特性生成手段が上記劣化後の特性を求める際の上記所定の動作条件における電源電圧条件と、

上記劣化前特性生成手段、および上記劣化後特性生成手段が上記劣化前の特性、および上記劣化後の特性を求めるための電源電圧条件とが、互いに異なる電源電圧条件であることを特徴とするLSIの経時劣化マージン量の計算装置。

10. 請求項7のLSIの経時劣化マージン量の計算装置であって、

上記劣化前特性生成手段、および上記劣化後特性生成手段は、それぞれ、上記LSIを構成する素子の特性のばらつきの範囲で、上記劣化前遅延、および上記劣化後遅延が最も大きくなる上記素子の特性を用いて、上記劣化前遅延、および上記劣化後遅延を求めることを特徴とするLSIの経時劣化マージン量の計算装置。

11. 請求項10のLSIの経時劣化マージン量の計算装置であって、

上記劣化前遅延、および上記劣化後遅延が最も大きくなる上記素子の特性は、上記素子の応答性が最も低い特性であることを特徴とするLSIの経時劣化マージン量の計算装置。

12. 請求項7のLSIの経時劣化マージン量の計算装置であって、

上記劣化後特性生成手段が上記劣化後の特性を求める際の上記所定の動作条件における電源電圧条件と、

上記劣化前特性生成手段、および上記劣化後特性生成手段が上記劣化前の特性、および上記劣化後の特性を求めるための電源電圧条件とが、互いに異なる電源電圧条件であるとともに、

上記劣化前特性生成手段、および上記劣化後特性生成手段は、それぞれ、上記LSIを構成する素子の特性のばらつきの範囲で、上記劣化前遅延、および上記劣化後遅延が最も大きくなる上記素子の特性を用いて、上記劣化前遅延、および上記劣化後遅延を求めることを特徴とするLSIの経時劣化マージン量の計算装置。

置。

13. LSIにおける所定の特性について、上記特性が劣化したときでも上記LSIが動作し得るように、設計余裕として見込むための経時劣化マージン量を計算するLSIの経時劣化マージン量の計算装置であって、

上記LSIを構成する少なくとも一部の複数の信号バスについて求められた上記LSIの初期状態における上記特性の劣化前の特性と、

上記LSIを構成する少なくとも一部の複数の信号バスについて、所定の動作条件で所定の動作期間が経過した時における上記特性の劣化後の特性を求め、上記複数の信号バスのうち、上記LSIが動作し得るために必要な特性に対する上記劣化後の特性の余裕が最も小さい信号バスにおける、上記劣化前の特性に対する上記劣化後の特性の割合として求められた特性劣化度合と、

に基づいて、実質的に経時劣化マージン量を求める経時劣化マージン量生成手段を備えたことを特徴とするLSIの経時劣化マージン量の計算装置。

14. LSIにおける所定の特性について、上記特性が劣化したときでも上記LSIが動作し得るように、設計余裕として見込むための経時劣化マージン量を計算するLSIの経時劣化マージン量の計算方法であって、

上記LSIを構成する少なくとも一部の複数の信号バスについて、上記LSIの初期状態における上記特性の劣化前の特性を求める劣化前特性生成ステップと、

上記LSIを構成する少なくとも一部の複数の信号バスについて、所定の動作条件で所定の動作期間が経過した時における上記特性の劣化後の特性を求める劣化後特性生成ステップと、

上記複数の信号バスのうち、上記LSIが動作し得るために必要な特性に対する上記劣化後の特性の余裕が最も小さい信号バスにおける、上記劣化前の特性に対する上記劣化後の特性の割合である特性劣化度合を求める特性劣化度合生成ステップと、

上記劣化前の特性と、上記特性劣化度合とに基づいて、実質的に経時劣化マ

ジン量を求める経時劣化マージン量生成ステップと、

を有することを特徴とするLSIの経時劣化マージン量の計算方法。

15. LSIにおける所定の特性について、上記特性が劣化したときでも上記LSIが動作し得ることを検査するLSIの検査方法であって、

上記LSIを構成する少なくとも一部の複数の信号バスについて、上記LSIの初期状態における上記特性の劣化前の特性を求め、

上記LSIを構成する少なくとも一部の複数の信号バスについて、所定の動作条件で所定の動作期間が経過した時における上記特性の劣化後の特性を求め、

上記複数の信号バスのうち、上記LSIが動作し得るために必要な特性に対する上記劣化後の特性の余裕が最も小さい信号バスにおける、上記劣化前の特性に対する上記劣化後の特性の割合である特性劣化度合を求め、

上記特性劣化度合を所定の周波数に乗じることによって得られた周波数を動作周波数として、上記LSIの動作を検査することを特徴とするLSIの検査方法

。



## アブストラクト

経時劣化を考慮した経時劣化マージン量を簡便に求めることを可能にし、また、経時劣化を考慮した適切な検査を可能にするために、遅延劣化率予測部 101 は L S I 設計情報 301 に基づいて、各信号パスについての劣化前信号パス遅延情報 302 と信号パス遅延劣化率情報 303 を出力し、遅延対遅延劣化率解析部 102 はこれらに基づいて遅延と遅延劣化率との相関関係を示す遅延対遅延劣化率関係情報 304 を出力し、遅延劣化率抽出部 103 は所定の信号パスの遅延劣化率を抽出して遅延劣化マージン 305 として出力し、遅延劣化マージン量計算部 104 は遅延劣化マージン 305 をディレイティングファクタ  $G$  として遅延劣化マージン量を計算する。また、検査用動作周波数計算部 105 は、遅延劣化マージン 305 をディレイティングファクタ  $G$  として検査用動作周波数を計算する。